

特開平9-101344

(43) 公開日 平成9年(1997)4月15日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 0 1 R 31/26			G 0 1 R 31/26	Z
B 6 5 G 47/48			B 6 5 G 47/48	
H 0 1 L 21/68			H 0 1 L 21/68	A

審査請求 未請求 請求項の数3 O L (全9頁)

(21) 出願番号 特願平8-116170
 (22) 出願日 平成8年(1996)5月10日
 (31) 優先権主張番号 特願平7-192996
 (32) 優先日 平7(1995)7月28日
 (33) 優先権主張国 日本(J P)

(71) 出願人 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (72) 発明者 根本 眞
 東京都練馬区旭町1丁目32番1号 株式会
 社アドバンテスト内
 (72) 発明者 小林 義仁
 東京都練馬区旭町1丁目32番1号 株式会
 社アドバンテスト内
 (72) 発明者 中村 浩人
 東京都練馬区旭町1丁目32番1号 株式会
 社アドバンテスト内
 (74) 代理人 弁理士 草野 卓 (外1名)

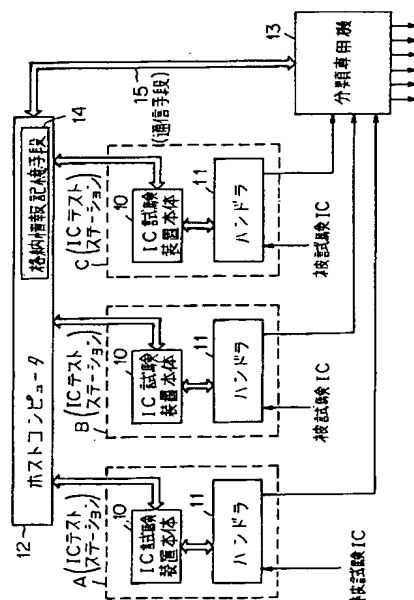
最終頁に続く

(54) 【発明の名称】 IC試験システム

(57) 【要約】

【課題】 IC試験装置を効率よく運用することができるIC試験システムを得る。

【解決手段】 ICを搬送するハンドラ11と、ハンドラで搬送されてテストヘッドに接続されたICの動作を試験するIC試験装置本体10とによって構成されるICテストステーションにおいて、各ハンドラは良品と不良品の別を仕分けすることなく、テストトレイから汎用トレイに試験済ICを移し、各ICの試験結果は格納情報記憶手段に記憶させ、この格納情報記憶手段に記憶した情報を分類専用機に送給し、分類は分類専用機で行なわせる。



【特許請求の範囲】

【請求項1】 ロード部において被試験ICをテストトレに搭載し、このテストトレをテスト部に順次搬送し、テスト部においてテストトレに搭載した被試験ICを試験装置本体に電氣的に接続し、被試験ICの動作を試験すると共に、試験終了後はテスト部からテストトレをアンロード部に搬出し、アンロード部においてテストトレから汎用トレに試験済ICを積み替え、試験済ICを搭載した汎用トレをハンドラから取り出すIC試験システムにおいて、
上記アンロード部においてテストトレから汎用トレに試験済ICを積み替える際に、試験済ICに付された番号、試験結果及び試験に用いたソケット番号等の格納情報を、各汎用トレのIC格納部に試験済ICを格納する毎に格納情報記憶手段に記憶し、この格納情報を分類専用機に送給し、分類専用機で試験済ICを試験結果に従って分類するように構成したことを特徴とするIC試験システム。

【請求項2】 被試験ICをテスト部に順次搬送し、テスト部において、被試験ICを試験装置本体に電氣的に接続し、被試験ICの動作を試験すると共に、試験終了後はテスト部から試験済ICを搬出し、IC分類手段によって試験結果に従ってICを分類し、IC格納部に格納するIC試験装置において、
上記分類手段は良品と不良品の2分類に分類する動作を行なうのみとし、上記IC格納部に格納するICの試験結果、ICに付された番号、テスト部で使用したソケット番号等の格納情報を格納情報記憶手段に記憶させ、この格納情報記憶手段に記憶した格納情報を分類専用機に送給し、この分類専用機において試験済ICを上記試験結果に従って多分類に分類することを特徴とするIC試験システム。

【請求項3】 複数のICテストステーションを設置し、被試験ICを第1、第2…第n ICテストステーションの順に順次試験条件を異ならせて試験を繰返すIC試験システムにおいて、
各ICテストステーションの分類手段は試験済ICを良品と不良品に分類すると共に、良品と判定されたICだけを次のICテストステーションに送給することを特徴とするIC試験システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は例えば半導体メモリのようなICを試験し、良品と不良品に分類するIC試験システムに関する。

【0002】

【従来の技術】 ICは集積度の向上と共に、端子数が多くなり、ICを傾斜した搬送路で滑走させる自然落下式の搬送方法で搬送することが難しい状況になっている。このため最近のハンドラはICを真空吸着ヘッドで

吸着し、X-Y搬送手段で任意の場所に搬送する水平搬送方式が採られている。

【0003】 水平搬送方式のハンドラには、

① 多数のICを平面状に格納したトレから、ICを真空吸着ヘッドで吸着し、この吸着したICをX-Y搬送手段によって予熱部、テスト部へと順次搬送して試験を行ない、試験済のICを良品、不良品に仕分けしながらトレに戻す型式のものと、

② ハンドラの外部でICを収納して流通させるための汎用トレをハンドラに与え、汎用トレからテストトレにICを乗せ替え、ICを搭載したテストトレを恒温槽を経由してテスト部に搬送し、テストトレにICを格納したまま、テスト部でICを試験し、試験後は除熱槽を経由してアンロード部にテストトレを搬出させ、アンロード部でICをテストトレから汎用トレに良品、不良品に仕分けしながら戻す型式のものが実用されている。

【0004】 ①の型式のハンドラは一度にテストできるICの数が2～4個程度に制限されるため高速処理に適用していない。この点②の型式のハンドラはICをテストトレに格納した状態でテスト用ソケットに接触させるため、一度に16個或は32個、64個等、多くの数のICをテストすることができる。従って現在は②の型式のハンドラが主流になりつつある。

【0005】 図4乃至図10を用いて②の型式のハンドラの概略の構成を説明する。図4は略線的平面図を示す。図中100はテストヘッドを含むチャンバ部、200はこれから試験を行なう被試験ICを格納し、また試験済のICを分類して格納するIC格納部、300は被試験ICをチャンバ部100に送り込むロード部、400はチャンバ部100で試験が行なわれた試験済のICを分類して取出すアンロード部、TSTはロード部300で被試験ICが積み込まれてチャンバ部100に送り込まれ、チャンバ部100でICを試験し、試験済のICをアンロード部400に運び出すIC搬送用のテストトレを示す。

【0006】 チャンバ部100はテストトレTSTに積み込まれた被試験ICに目的とする高温又は低温の温度ストレスを与える恒温槽101と、この恒温槽101で熱ストレスが与えられた状態にあるICをテストヘッドに接触させるテストチャンバ102と、テストチャンバ102で試験されたICから、与えられた熱ストレスを除去する除熱槽103とによって構成される。つまり、恒温槽101で高温を印加した場合は送風により冷却し、室温に戻してアンロード部400に搬出する。また恒温槽101で例えば-30℃程度の低温を印加した場合は温風乃至はヒータ等で加熱し、結露が生じない程度の温度に戻してアンロード部400に搬出する。

【0007】 恒温槽101及び除熱槽103はテストチャンバ102より上方に突出されて配置される。恒温槽

101と除熱槽103の上部間に図5に示すように基板105が差し渡され、この基板105にテストトレイ搬送手段108が装着され、このテストトレイ搬送手段108によってテストトレイTSTが、除熱槽103側から恒温槽101に向って移送される。テストトレイTSTはローダ部300で被試験ICを積み込み、恒温槽101に運び込まれる。恒温槽101には垂直搬送手段が装着されており、この垂直搬送手段によって複数枚のテストトレイTSTが支持されてテストチャンバ102が空くまで待機する。この待機中に被試験ICに高温又は低温の温度ストレスを印加する。テストチャンバ102にはその中央にテストヘッド104が配置され、テストヘッド104の上にテストトレイTSTが運ばれて被試験ICをテストヘッド104に電氣的に接触させ試験を行なう。試験が終了したテストトレイTSTは除熱槽103で除熱し、ICの温度を室温に戻し、アンローダ部400に排出する。

【0008】IC格納部200には被試験ICを格納する被試験ICストック201と、試験の結果に応じて分類されたICを格納する試験済ICストック202とが設けられる。被試験ICストック201には被試験ICを格納した汎用トレイKSTが積層されて保持される。この汎用トレイKSTがローダ部300に運ばれ、ローダ部300に停止しているテストトレイTSTに被試験ICを積み替える。汎用トレイKSTからテストトレイTSTにICを運び込むIC搬送手段としては図5に示すように、基板105の上部に架設した2本のレール301と、この2本のレール301によってテストトレイTSTと汎用トレイKSTとの間を往復（この方向をY方向とする）することができる可動アーム302と、この可動アーム302によって支持され、可動アーム302に沿ってX方向に移動できる可動ヘッド303とによって構成されるX-Y搬送手段304を用いることができる。可動ヘッド303には下向に吸着ヘッドが装着され、この吸着ヘッドが空気を吸引しながら移動し、汎用トレイKSTからICを吸着し、そのICをテストトレイTSTに搬送する。吸着ヘッドは可動ヘッド303に対して例えば8本程度装着され、一度に8個のICをテストトレイTSTに搬送する。

【0009】図6にテストトレイTSTの構造を示す。テストトレイTSTは方形フレーム12に複数のさん13が平行かつ等間隔に形成され、これらさん13の両側、またさん13と対向するフレーム12の辺12aにそれぞれ複数の取付け片14が等間隔に突出形成され、これらさん13の間、またはさん13及び辺12aの間と、2つの取付け片14とによりキャリア収納部15が配列構成されている。各キャリア収納部15にそれぞれ1個のICキャリア16が収納され、2つの取付け片14にファスナ17によりフローティング状態で取付けら

ける。ICキャリア16は1つのテストトレイTSTに16×4個程度取付けられる。

【0010】ICキャリア16の外形は同一形状、同一寸法をしており、ICキャリア16にIC素子が収納される。IC収納部19は、収容するICの形状に応じて決められる。IC収容部19はこの例では方形凹部とされている。ICキャリア16の両端部にはそれぞれ取付け片14への取付け用穴21と、位置決用ピン挿入用穴22とが形成されている。

10 【0011】ICキャリア16内のICの位置ずれや飛出し防止のため、例えば図7に示すようにラッチ23がICキャリア16に取付けられている。ラッチ23はIC収容部19の底面からラッチ23が上方に一体に突出され、ICキャリア16を構成する樹脂材の弾性を利用して、IC素子をIC収容部19に収容する際、又はIC収容部19から取出す際に、IC素子を吸着するIC吸着パッド24と全体としては同時に移動するラッチ解放機構25で2つのラッチ23の間隔を広げた後、ICの収容又は取出しを行う。ラッチ解放機構25をラッチ23から離すと、その弾性力で元状態に戻り、収容されたICはラッチ23で抜け止めされた状態に保持される。

20 【0012】ICキャリア16は図8に示すようにICのピン18を下向きに露出して保持する。テストヘッド104ではこの露出したICのピン18をICソケットのコンタクト19に押し付け、ICをテストヘッドに電氣的に接触させる。このためにテストヘッド104の上部にはICを下向に抑え付ける圧接子20が設けられ、この圧接子が各ICキャリア16に収納されているICを上方から抑え付け、テストヘッド104に接触させる。

30 【0013】テストヘッドに一度に接続されるICの数は例えば図9に示すように4行16列に配列されたICを4列おきに4列（斜線部分）を1度に試験を行なう。つまり1回目は1, 5, 9, 13列に配置された16個のICを試験し、2回目はテストトレイTSTを1列分移動させて2, 6, 10, 14列に配置されたICを試験し、これを4回繰返して全てのICを試験する。試験の結果は各ICに割当たシリアル番号（ロット内のシリアル番号）、テストトレイTSTに付された識別番号、テストトレイTSTのIC収納部に割当た番号で決まるアドレスに試験結果を記憶する。

40 【0014】アンローダ部400にはローダ部300に設けられたX-Y搬送手段304と同一構造の搬送手段404が設けられ、このX-Y搬送手段404によってアンローダ部400に運び出されたテストトレイTSTから試験済のICを汎用トレイKSTに積み替える。図4及び図5に示す例では試験済ICストック202に8個のストックKST-1, KST-2, ..., KST-8を設け、試験結果に応じて最大8つの分類に仕分けして

格納できるように構成した場合を示す。つまり、良品と不良品の別の外に、良品の中でも動作速度が高速のもの、中速のもの、低速のもの、或は不良の中でも再試験が必要なものに仕分けされる。仕分け可能なカテゴリの最大が8種類としても、アンローダ部400には4枚の汎用トレイしか配置することができない。このため、従来はアンローダ部400に配置された汎用トレイKSTに割当られたカテゴリ以外のカテゴリに分類されるICが発生した場合は、アンローダ部400から1枚の汎用トレイKSTをIC格納部200に戻し、これに代えて新たに発生したカテゴリのICを格納すべき汎用トレイKSTをアンローダ部400に転送し、そのICを格納する。

【0015】被試験ICストック201及び試験済ICストック202は図10に示すように棒状のトレイ支持棒203と、このトレイ支持棒203の下部から侵入して上部に向って昇降可能とするエレベータ204とを具備して構成される。トレイ支持棒203には汎用トレイKSTが複数積み重ねられて支持され、この積み重ねられた汎用トレイKSTがエレベータ204で上下に移動される。

【0016】被試験ICストック201及び試験済ICストック202の上部には基板105との間において被試験ICストック201と試験済ICストック202

(図5)の配列方向の全範囲にわたって移動するトレイ搬送手段205が設けられる。トレイ搬送手段205には下向に汎用トレイを把持する把持具を装備する。被試験ICストック201の上部にトレイ搬送手段205を移動させ、その状態でエレベータ204を駆動させ、積み重ねた汎用トレイKSTを上昇させる。上昇して来る汎用トレイKSTの最上段のトレイを把持具で把持する。トレイ搬送手段205に被試験ICを格納している汎用トレイKSTを引き渡すと、エレベータ204は下降し、元の位置に戻る。これと共に、トレイ搬送手段205は水平方向に移動し、ローダ部300の位置に運ばれる。この位置でトレイ搬送手段205は把持具から汎用トレイを外し、わずかに下にあるトレイ受(特に図示しない)に汎用トレイKSTを一旦預ける。トレイ受けに汎用トレイKSTを預けたトレイ搬送手段205はローダ部300以外の位置に移動する。この状態で汎用トレイKSTが搭載されている部分の下側からエレベータ204が上昇し、被試験ICを搭載している汎用トレイKSTを上方に上昇させ基板105に形成した窓106に汎用トレイKSTが臨むように支持させる。つまり、窓106の下面周辺には汎用トレイKSTを把持する把持手段(特に図示しない)が設けられ、この把持手段に被試験ICを格納した汎用トレイKSTが把持される。

【0017】アンローダ部400の窓106には空の汎用トレイが保持され、この空の汎用トレイKSTに、各汎用トレイに割当たカテゴリに従って試験済ICを分

類して格納する。窓106の部分に保持された汎用トレイが満杯になると、その汎用トレイKSTはエレベータ204に抑えられ、エレベータ204に支持された状態で把持手段が解除されて窓106の位置からエレベータ204によって降され、トレイ搬送手段205によって自己に割当られたカテゴリのトレイ格納位置に収納される。尚、図4に示す206は空トレイストックを示す。この空トレイストック206から空のトレイがアンローダ部400の各窓106の位置に配置され、試験済ICの格納に供せられる。

【0018】

【発明が解決しようとする課題】上述したように、ICをテストトレイに積み替えてテスト部に送り込む型式のハンドラを用いたIC試験システムにあっては、一度にテストできるICの数を大きく採れるのでテストに要する時間を短くすることができる。これに対し、アンローダ部400では一度に8個程度のICをテストトレイから汎用トレイに戻す作業を行なう。然も仕分けしなからの作業となるので、この仕分け作業に時間が掛る欠点がある。このため、アンローダ部400には搬送装置を2台設けているが、テストに要する時間より仕分けに要する時間の方が長くなってしまふ不都合が生じる。

【0019】この発明の第1の目的はテストトレイから汎用トレイへのICの排出を高速度に実行することができるIC試験システムを提供しようとするものである。この発明の第2の目的は条件の異なる試験を複数回繰返し実行するIC試験システムにおいて、多量のICを可及的に短かい時間でテストを実行し、その結果に従って分類を実行することができるIC試験システムを提供しようとするものである。

【0020】

【課題を解決するための手段】この発明の請求項1で提案するIC試験システムでは、被試験ICをローダ部において汎用トレイからテストトレイに積み替え、テストトレイに被試験ICを搭載した状態のテストトレイを恒温槽からテスト部に搬送し、テスト部でテストトレイに搭載した状態のICをテストし、テスト終了後にテストトレイをアンローダ部に搬出し、アンローダ部で試験済ICを汎用トレイに戻す型式のハンドラにおいて、IC試験装置本体乃至はその上位に位置するホストコンピュータに格納情報記憶手段を設け、この格納情報記憶手段に各ICに付したシリアル番号、各汎用トレイに付した識別番号及び汎用トレイの各IC収納部に付した番号で決められるアドレスにこの各収納部に収納したICの試験結果及びテスト部で接触したソケット番号等を記憶させる構成としたIC試験システムを提供するものである。

【0021】この請求項1で提案したIC試験システムの構成によれば格納情報記憶手段に記憶した格納情報を利用することにより分類専用機によってICを分離させ

ることができる。従ってテスト用のハンドラでは分類作業を行わずに、単にテストトレーから汎用トレーにICを搬出すればよいから、高速にICを積み替えることができる。特に分類に不足したカテゴリーの汎用トレーをアンローダ部に呼び出さなくて済むから、この点でも処理速度を高めることができる。

【0022】この発明の請求項2及び3で提案するIC試験システムでは条件が異なる試験を複数回実行するIC試験システムにおいて、上記した格納情報記憶手段を設け、この格納情報記憶手段により各汎用トレーに格納されたICのテスト結果を全て記憶させると共に、分類は良品と不良品の2者択一に分類するだけにする。分類作業を2者択一に制限することにより、全てのカテゴリーに分類するより高速処理ができる。これと共に、一度不良と判定されたICを次の条件のテストに供給しないように制限することができる。よって、この制限により、一度不良と判定されたICは、複数回繰返されるICのテストに混入しないため、不良と判定されたICを再度試験するような無駄な時間が生じることを阻止することができる。従ってこの点でICを高速に試験できる利点が得られる。また、この請求項2の発明でも格納情報記憶手段に記憶した情報を利用することにより、分類専用機でこまかい分類に仕分けすることができる利点が得られる。

【0023】

【発明の実施の形態】図1にこの発明の請求項1で提案するIC試験システムの一実施例を示す。図中A、B、CはICテストステーションを示す。各ICテストステーションA、B、CはIC試験装置本体10と、ハンドラ11とによって構成される。各IC試験装置本体10はホストコンピュータ12の管理下におかれて制御される。図示した例では各IC試験装置本体10に1台のハンドラ11を接続した状態を示すが、現実には1台の試験装置本体10に2台のハンドラ11が接続されてICテストステーションA、B、Cが構成される。

【0024】この実施例ではホストコンピュータ12に格納情報記憶手段14を設けた場合を示す。この格納情報記憶手段14には各ハンドラ11において、テスト済のICを汎用トレーKSTに格納する毎に、その各ICに割当したシリアル番号、汎用トレーKSTに付した識別番号、各格納場所に対応して割付けた番号等によって決められるアドレスにICの試験結果を全て記憶させる。試験結果としては試験の条件、良品の中の例えば高速、中速、低速の分類、不良の中の再テストの要否、試験時に接触したテストヘッドのソケット番号等を記憶させる。この記憶させる格納情報はIC試験装置10を経由して例えばコンピュータ間におけるGPIB通信ポート或はRS232C通信ポート等の通信手段15によりホストコンピュータ12に送り込まれ、格納情報記憶手段14に記憶させる。

【0025】格納情報記憶手段14はメモリで構成することができる。格納情報記憶手段14に記憶した格納情報は例えば各ICテストステーションA、B、Cの別にフロッピーディスク等の記憶媒体に記憶させて分類専用機13に提供するか、又は通信手段15を利用して分類専用機13に転送することができる。各ハンドラ11で試験済のICを格納した汎用トレーKSTは例えば図2に示すような容器20に収容されて分類専用機13に運ぶか、又は各ハンドラ11と分類専用機13との間に架設したトレー搬送装置によって分類専用機20に運ばれる。分類専用機13に運ばれた汎用トレーKSTから分類専用機13に設けられたIC吸着ヘッドによってICが取り出され、その取出位置に対応したアドレスに記憶されている格納情報に従って分類が実行される。

【0026】図3はこの発明の請求項2と3で提案したIC試験システムの実施例を示す。この発明の請求項2で提案したIC試験システムでは各ICテストステーションA、B、Cは例えば試験の条件が異ならされてICを試験する。試験の条件としては例えば被試験ICに与える温度の違い或は動作電圧の違い等が上げられる。ICテストステーションAでは被試験ICを全量試験する。被試験ICはIC収納部となる汎用トレーKSTに収納されてハンドラ11に与えられる。汎用トレーKSTは例えば図2に示すように搬送用の容器20に複数枚積み重ねられて収納され、容器20の開閉蓋21を開いてハンドラ11に装着する。ハンドラ11は容器20から汎用トレーKSTを1枚ずつ運び出し、汎用トレーKSTに搭載されているICを必要に応じてテスト用のトレーに移し替え、テスト用トレーが恒温槽を通じてテストチャンバに送り込まれ、テストチャンバに設けられたテストヘッド部にICを接触させ、ICの動作を試験する。テストトレーに搭載されているICの全てのテストが終了すると、テストトレーはテストチャンバから搬出され、除熱槽で除熱されてチャンバーの外に排出される。チャンバーの外に排出されたテストトレー上のICはアンローダ部で先に示した汎用トレーKSTに移し替えられる。この移し替えを行なう際に、この発明の請求項2では汎用トレーKSTを少なくとも2枚用意し、良品と不良品に分類する。汎用トレーKSTが良品及び不良品で満杯になると、その満杯になった汎用トレーKSTは搬送手段で容器20に戻される。このとき、容器20内において、例えば下段側から不良品を収納した汎用トレーKSTを格納し、良品を収納した汎用トレーKSTは上段側から格納する。このようにして容器20内で良品と不良品を格納した汎用トレーKSTを仕分けする。

【0027】容器20に全ての汎用トレーKSTが戻されると、容器20を次のICテストステーションBに移す。ICテストステーションBでは良品を格納した汎用トレーKSTだけを引き出し、良品と判定されたICだ

けを試験する。ICテストステーションBで不良品が発生した場合は容器20内で不良品を格納した汎用トレイKST（IC収納凹部に空きが有るもの）がアンローダ部に呼び出され、ICテストステーションBで不良と判定されたICを格納する。

【0028】ICテストステーションAで良品と判定されたICが全て試験され、全ての汎用トレイKSTが容器20に戻されると、容器20を次のICテストステーションCに移す。ICテストステーションCではICテストステーションBで良品と判定されたICだけを試験し、その試験結果を各汎用トレイKSTのIC毎にホストコンピュータ12に設けた格納情報記憶手段14に記憶する。ICテストステーションCで不良品が発生すると、その不良のICは不良のICを収納した汎用トレイKSTに収納される。

【0029】ICテストステーションCで過去の試験で良品と判定されたICが全て試験されると、容器20は分類専用機13に移される。分類専用機13ではホストコンピュータ12から送られて来る格納情報に従ってICを分類する。尚、図1及び図3に示した例ではICテストステーションをA、B、Cの3組設けた例を示したが、ICテストステーションの組数に制限はない。また、ICテストステーションCと分類専用機13の組合せだけでもハンドラ11の処理速度を向上させることができる。よってICテストステーションCと分類専用機13との組合せだけでもこの発明の目的を達することができる。また、請求項2及び3で提案したIC試験システムは従来技術で説明した型式①のハンドラを用いる場合に適用しても有効である。

【0030】

【発明の効果】以上説明したように、この発明によればハンドラ11は請求項1の発明によれば分類動作を実行することなく、また請求項2及び3の発明によれば良品と不良品或はその他の仕分け方法による2分類だけを実行すればよいから、各ICテストステーション毎のICの試験に要する時間を短縮することができ、高速化することができる。また各ハンドラ11は分類動作させたとしても高々2分類だけを実行すればよいから、構成を簡素化することができる。よってハンドラ11のコストダウンも期待できる。また試験結果の中にテスト部で接触

したソケット番号を記憶したから、特定のソケットに接触したICに不良が集中して発生した場合は、ソケットの不良になっていることが多い、従って、テスト部におけるソケットの不良を検出できる利点が得られる。

【0031】更に分類専用機13は分類だけを行なうだけでよいから、ハンドラ11より安価に作ることができる。よって全体として安価なIC試験システムを構築できる利点が得られる。

【図面の簡単な説明】

10 【図1】この発明の請求項1の実施例を示すブロック図。

【図2】汎用トレイの複数枚を1組として持運びする容器を説明するための斜視図。

【図3】この発明の請求項2の実施例を示すブロック図。

【図4】従来のテストトレイを用いる型式のハンドラを説明するための略線的平面図。

【図5】図4のハンドラの構成を説明するための斜視図。

20 【図6】図4及び図5に示したハンドラに用いるテストトレイの構造を説明するための斜視図。

【図7】図6に示したテストトレイのIC収納部分を説明するための斜視図。

【図8】図7に示したIC収納部にICを収納し、テスト部でICをテストヘッドに接触させた状態を説明するための図。

【図9】テストトレイに収納したICのテスト順序を説明するための平面図。

30 【図10】図4及び図5に示したハンドラの汎用トレイを収納するストックの構造を説明するための斜視図。

【符号の説明】

A, B, C ICテストステーション

10 IC試験装置本体

11 ハンドラ

12 ホストコンピュータ

13 分類専用機

14 格納情報記憶手段

TST テストトレイ

KST 汎用トレイ

【図1】

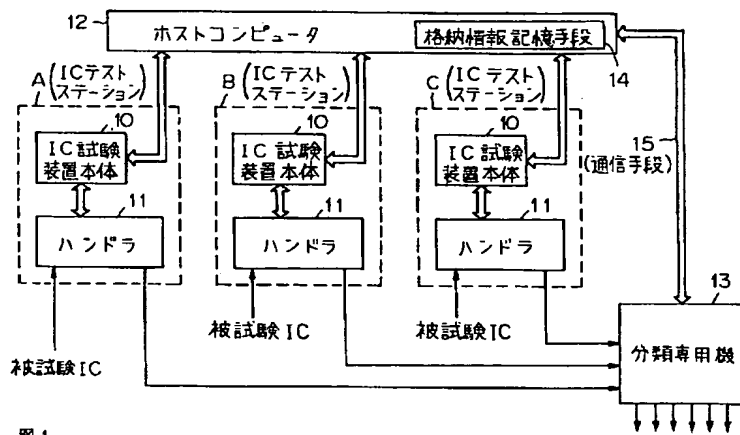


図1

【図8】

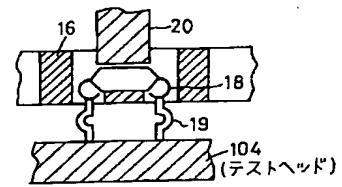


図8

【図2】

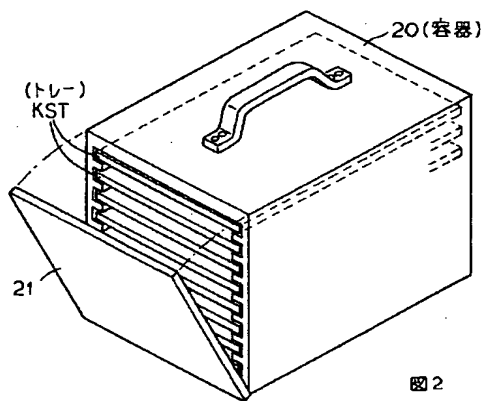


図2

【図7】

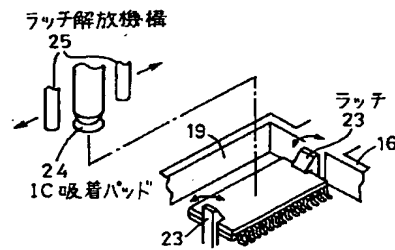


図7

【図9】

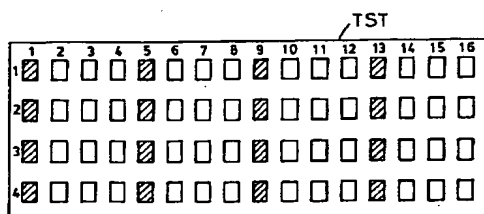


図9

【図10】

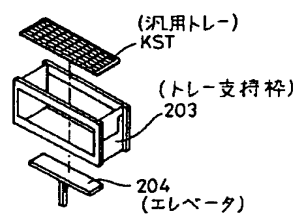


図10

【図3】

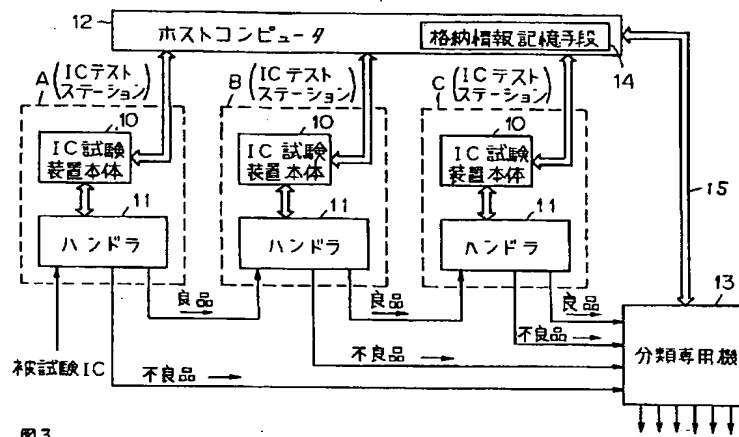


図3

【図4】

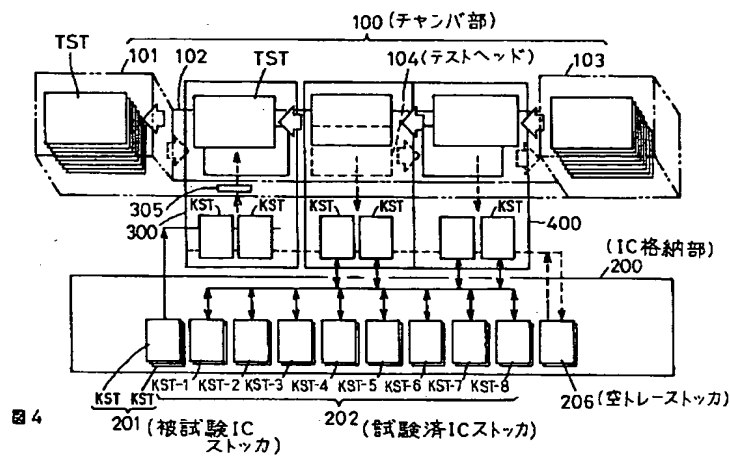


図4

Figure 5 is a perspective view of a semiconductor device assembly apparatus. The apparatus includes a base (105) with a substrate (106) and a heat sink (108). A carrier (201) is used to transport the device, with a support (203) and a transfer mechanism (205). A temperature control unit (101) and a position correction unit (305) are also shown. Various components are labeled with numbers: 101, 103, 105, 106, 108, 201, 202, 203, 204, 205, 206, 301, 302, 303, 304, 305, 401, 402, 403, 404. The diagram illustrates the process of mounting and testing a semiconductor device.

[illegible]

(72)発明者 池田 浩樹
東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内